

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

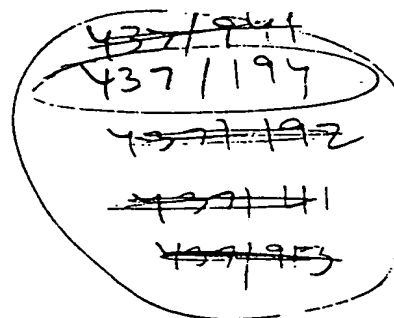
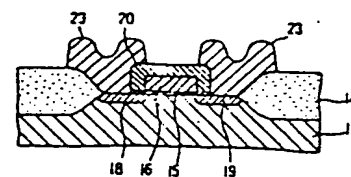
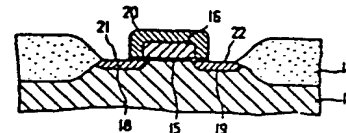
JA 0214262
DEC 1984*applicant*

(54) INSULATED GATE FIELD-EFFECT TRANSISTOR AND MANUFACTURE THEREOF

(11) 59-214262 (A) (43) 4.12.1984 (19) JP
 (21) Appl. No. 58-87535 (22) 20.5.1983
 (71) HITACHI SEISAKUSHO K.K. (72) SHIYOUJIROU SUGASHIRO(8)
 (51) Int. CP. H01L29/78; H01L21/88, H01L29/62

PURPOSE: To enable operation at high speed by using a high melting-point metal as a gate electrode and ensuring insulations among both source-drain electrodes and wirings and the gate electrode by an oxide film consisting of a high melting-point metal formed from the gate electrode in a self-alignment manner.

CONSTITUTION: Each aluminum group alloy wiring layer 23 connected to a tungsten film 16 as a gate electrode, an N type impurity layer 18 as a source and an N type impurity layer 19 as a drain is formed. Insulations among the layers 23 connected to the layer 18 and the layer 19 and the film 16 are ensured by a tungsten oxide film 20. Distances among both a source electrode hole 21 and a drain electrode hole 22 and the film 16 coincide with the thickness of the film 20, and can be brought to approximately 0.1~1.0 μ m. Accordingly, a fine MIS field-effect transistor capable of operating at high speed can be obtained.



+4

n 2

⑩ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑪ 特許出願公開
昭59—214262

⑨ Int. Cl.³
H 01 L 29/78
H 01 L 21/88
29/62

識別記号

庁内整理番号
7377—5 F
6810—5 F

⑬ 公開 昭和59年(1984)12月4日
発明の数 1
審査請求 未請求

(全 5 頁)

⑭ 絶縁ゲート電界効果トランジスタおよびその製造方法

⑯ 特 願 昭58—87535

⑰ 出 願 昭58(1983)5月20日

⑱ 発 明 者 菅城象二郎

国分寺市東恋ヶ窪一丁目280番
地株式会社日立製作所中央研究
所内

⑲ 発 明 者 小林伸好

国分寺市東恋ヶ窪一丁目280番
地株式会社日立製作所中央研究
所内

⑲ 発 明 者 山本直樹

国分寺市東恋ヶ窪一丁目280番
地株式会社日立製作所中央研究
所内

⑲ 発 明 者 岩田誠一

国分寺市東恋ヶ窪一丁目280番
地株式会社日立製作所中央研究
所内

⑲ 出 願 人 株式会社日立製作所

東京都千代田区神田駿河台4丁
目6番地

⑲ 代 理 人 弁理士 中村純之助

明 細 書

1. 発明の名称 絶縁ゲート電界効果トラン
ジスタおよびその製造方法

2. 特許請求の範囲

1. 第1導電型の半導体基板の表面部に互に離れて設けられた第2導電型のソース領域およびドレイン領域と該両領域間の前記基板上にゲート絶縁膜を介して設けられたゲート電極を有し、前記ソース領域およびドレイン領域上にそれぞれ前記ゲート電極および前記両領域を除いた前記基板と絶縁されたソース電極およびドレイン電極が設けられている絶縁ゲート電界効果トランジスタにおいて、前記ゲート電極をタンゲステン、モリブデンあるいはタンタルによって構成し、該ゲート電極の上面および側面に該ゲート電極を構成する金属の酸化物膜を形成し、該酸化物膜によって前記ゲート電極と前記ソース電極配線およびドレイン電極配線との間を絶縁したことを特徴とする絶縁ゲート電界効果トランジスタ。

3. 発明の詳細な説明

(発明の利用分野)

本発明は、MIS(絶縁ゲート)電界効果トランジスタのゲート電極とソース・ドレイン電極との間の絶縁膜をゲート電極より自己整合的に形成した、高集積で高性能のMIS電界効果トランジスタおよびその製造方法に関する。

(従来技術)(発明の背景)

MIS電界効果トランジスタにおいては、ゲート電極とソース・ドレイン電極との間の距離を短縮することが、素子の微細化および素子の高速化につながる必要な手段と考えられる。ところが、従来構造のMIS電界効果トランジスタでは、ソース・ドレイン電極とゲート電極とは別々のホトマスクを用いた写真食刻技術を使って形成されるため、ホトマスクの位置合せ精度に關連して、ソース・ドレイン電極とゲート電極との間の距離を余り小さくすることはできず、素子の微細化の妨げとなっている。また、このため、ゲート電極下部のチャンネル部とソース・ドレイン電極間(ソース・

ドレイン部)の抵抗が増大し、素子動作の遅延が大きくなり、素子の高速動作の妨げとなっている。ソース・ドレイン部のシート抵抗を減少させるためには、ソース・ドレイン部の不純物拡散層をシリコン基板中に深く形成する必要がある。しかし、ソース・ドレイン部の拡散層をシリコン基板中深く形成すると、チャンネル部に向っての横方向の拡散長も増大するため、チャンネル部の長さが減少する。このため、ゲート電極の幅を広くする必要があり、素子の微細化の妨げとなる。

(発明の目的)

本発明の目的は、上述の問題点の解決をはかるために、ゲート電極とソース・ドレイン電極との間の距離を自己整合的に小さくし、微細で、かつ、高速動作が可能な構造のMIS(絶縁ゲート)電界効果トランジスタを提供することである。

(発明の概要)

本発明は、上記の目的を達成するために、ゲート電極として高融点金属、とくに、タングステン、モリブデンあるいはタンタルを用い、かつ、ソー

ス・ドレイン電極および配線とゲート電極との間の絶縁をゲート電極から自己整合的に形成した高融点金属の酸化膜により確保するようにしたことを特徴とするものである。

一例として、ゲート電極としてタングステン、上記絶縁膜としてゲート電極のタングステンの熱酸化膜を用いた場合について、本発明の総括的説明を加える。

第1図はタングステンをゲート電極とした通常のMIS電界効果トランジスタのソース・ドレイン電極、配線形成前の断面構造を示す図であり、1はタングステンからなるゲート電極、2は二酸化シリコンからなるゲート絶縁膜、3および4はそれぞれゲート電極1をマスクとして自己整合的にシリコン基板5の表面部に形成されたソース拡散層およびドレイン拡散層、6は素子分離用の選択酸化二酸化シリコン膜である。この構造において、ゲート電極1の上面および側面のみに絶縁膜を形成し、ソース拡散層3およびドレイン拡散層4上には絶縁膜を形成しないようにすれば、後にソー

ス拡散層3およびドレイン拡散層4上に形成するソースおよびドレイン電極、配線とゲート電極間の絶縁を確保することができる。

第2図は酸素雰囲気中の熱処理によりタングステンを酸化した場合の酸化タングステンの形成膜厚と熱処理温度の関係を示したものである。図の横軸は熱処理温度の逆数で、縦軸は酸化タングステンの形成膜厚である。なお、熱処理時間は30分である。同図から明らかなように、ゲート電極として用いたタングステンは、500℃近傍の低温においても、0.1~1μm程度の酸化膜形成が可能である。一方、ソース拡散層およびドレイン拡散層が形成されているシリコン基板は、500℃程度の酸素雰囲気中の熱処理により、10nm以下の二酸化シリコン膜しか形成されない。また、この二酸化シリコン膜は、フッ酸系のエッチ液により容易に除去できる。これに対して、酸化タングステンは、フッ酸系エッチ液によるエッチ速度が二酸化シリコンのエッチ速度より小さい。したがって、第1図に示した構造の電界効果トランジスタを500℃

程度の酸素雰囲気中で熱処理した後、フッ酸系のエッチ液によるエッチングを行ない、ソースおよびドレイン拡散層3、4上に形成された二酸化シリコン膜を除去した後も、ゲート電極1の上面および側面に形成された酸化タングステン膜は残存することになる。

また、酸化タングステンの伝導バンドと価電子バンドのエネルギー差は3eVであり、酸化タングステンは絶縁膜として使用することができる。

以上に示したように、電界効果トランジスタのゲート電極としてタングステン、さらにゲート電極の上面および側面に自己整合的に形成した酸化タングステン膜を用いることにより、極めて微細で、かつ、高速動作に優れたMIS電界効果トランジスタを得ることができる。

(発明の実施例)

以下、本発明の一実施例を第3図により説明する。

図3に示すように、P型シリコン半導体基板11上に熱酸化等により薄い二酸化シリコン膜12を形

成した後、この上に通常の化学気相成長法を用いて窒化シリコン膜13を形成し、通常の写真食刻性を用いてシリコン基板11の活性領域を形成すべき部分の外側の素子分離用領域上の窒化シリコン膜13を除去する。その後、シリコン基板の選択酸化を行ない、窒化シリコン膜13を除去した部分のシリコン基板11を酸化して素子間の分離に用いる薄い二酸化シリコン膜14を形成する。

次に、図(b)に示すように、窒化シリコン膜13および薄い二酸化シリコン膜12を除去し、素子分離用酸化膜14以外の部分でシリコン基板11の表面を露出させる。

次に、図(c)に示すように、表面を露出されたシリコン基板11を熱酸化し、基板の露出部分にMIS電界効果トランジスタのゲート絶縁膜となる薄い二酸化シリコン膜15を形成した。その後、スパッタ蒸着、CVD等によりタングステン膜16を被着し、さらにその上にリンガラス膜17を通常の化学気相成長法で形成し、通常の写真食刻法を用い、リンガラス膜17およびタングステン膜16のうちのゲ

ート電極に対応する部分を残して他を除去し、いわゆるゲート電極を形成した。その後、イオン打込み法により、ゲート電極となるタングステン膜16が形成されていない領域のシリコン基板11の表面近傍にソース拡散層となるn型不純物層18およびドレイン拡散層となるn型不純物層19を形成し、上記不純物層の活性化のために1000℃程度の熱処理を不活性雰囲気中で行なった。ここでタングステン膜16上にリンガラス膜17を設けたのは、上記イオン打込み時に、タングステン膜16を通して、いわゆるチャネリング現象により、ゲート電極のタングステン膜16下部にn型不純物層ができることを防ぐためである。

次に、図(d)に示すように、リンガラス膜17をフッ酸系エッチ液で除去した。このとき、タングステン膜16で覆われていない部分の薄い二酸化シリコン膜15は厚さ方向に一部ないしは全部がエッチされる。ついで、酸素雰囲気中で500℃程度の熱処理を行ない、タングステン膜16の上面および側面に酸化タングステン膜20を形成した。このとき、

タングステン膜16で覆われていないn型拡散層18および19の表面も酸化され、薄い二酸化シリコン膜15が形成されるが、この二酸化シリコン膜の膜厚は10nm以下である。その後、通常の写真食刻法により、酸化タングステン膜20の所定部分に、 CF_4 系のガスを用いたドライエッチングにより開口を設け、後の工程で形成するアルミニウム系合金配線層とタングステン膜16との導通孔を後に形成するソース・ドレイン電極から離れた位置に形成する。

次に、第3図(e)に示すように、フッ酸系のエッチ液により、二酸化シリコン膜をエッチングして、タングステン膜16および酸化タングステン膜20で覆われていない部分のn型不純物層18および19部分のシリコン基板表面を露出させ、ソース電極孔21およびドレイン電極孔22を開口した。

次に、図(f)に示すように、全面にアルミニウム系合金層を形成し、写真食刻法により、ゲート電極であるタングステン膜16、ソースであるn型不純物層18およびドレインであるn型不純物層19に

通ずるそれぞれのアルミニウム系合金配線層23を形成し（ゲート電極16の配線層は図では現われない）、MIS電界効果トランジスタを作製した。

ここで、ソース拡散層18およびドレイン拡散層19に接続されたアルミニウム系合金配線層23とゲート電極として用いたタングステン膜16との絶縁は酸化タングステン膜20によって確保されている。また、ソース電極孔21およびドレイン電極孔22とゲート電極として用いられているタングステン膜16との距離は、酸化タングステン膜20の膜厚と一致する。第2図に示す通り、酸化タングステン膜の膜厚は0.1から1.0 μ m程度まで制御できる。このため、本発明によれば、ソース電極孔21およびドレイン電極孔22とゲート電極として用いたタングステン膜16との距離も0.1~1.0 μ m程度にすることができる。

一方、従来法によると、ソース電極孔およびドレイン電極孔は写真食刻法によって形成される。したがって、ソース電極孔およびドレイン電極孔とゲート電極との距離は、写真食刻法によりこれ

タングステンの形成膜厚と熱処理温度の関係を示す図、第3図は本発明によるMIS電界効果トランジスタの製造工程図である。

図において、

- 1…タングステン膜からなるゲート電極
- 2…二酸化シリコン膜からなるゲート絶縁膜
- 3…ソース拡散層
- 4…ドレイン拡散層
- 5…シリコン基板
- 6…素子分離用二酸化シリコン膜
- 11…シリコン半導体基板
- 12…二酸化シリコン膜
- 13…窒化シリコン膜
- 14…素子間の絶縁分離用二酸化シリコン膜
- 15…二酸化シリコン膜
- 16…タングステン膜
- 17…リンガラス膜
- 18, 19… n 型不純物層
- 20…酸化タングステン膜
- 21…ソース電極孔

らの孔を形成するときにおける、ゲート電極とホトマスクの位置合せ精度以下にすることはできない。この位置合せ精度は一般に $0.5\mu\text{m}$ 以上であり、さらに、MIS電界効果トランジスタの動作特性の安定性を考慮すると、ソース電極孔およびドレイン電極孔とゲート電極との距離は $1\mu\text{m}$ 以上となる。

以上の実施例においては、タングステンを例にとって説明したが、タングステンのほかに、モリブデン、タンタルを用いても同様な結果が得られる。

(発明の効果)

以上詳述したところから明らかなように、本発明によれば、ゲート電極とソース・ドレイン電極との距離を自己整合的に小さくできるので、微細で、かつ高速動作が可能なMIS電界効果トランジスタを得ることができる。

4. 図面の簡単な説明

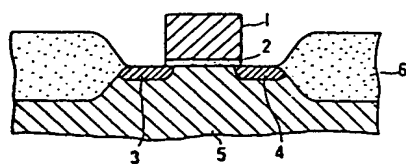
第1図はMIS電界効果トランジスタのゲート電極形成時点における断面図、第2図はタングステンを酸素雰囲気中で熱処理した場合における酸化

22…ドレイン電極孔

23…アルミニウム系合金配線層

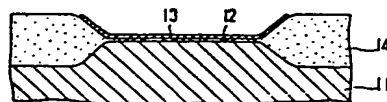
代理人弁理士 中村純之助

第1図



第3図

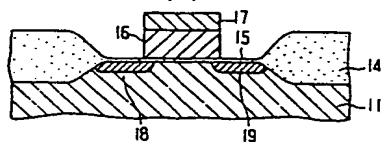
(a)



(b)

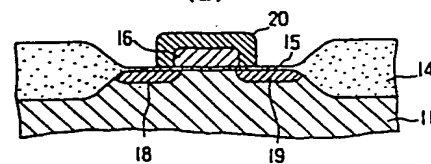


(c)

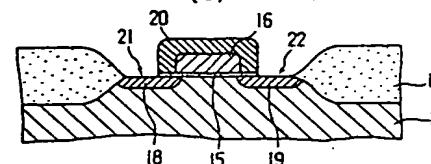


第3図

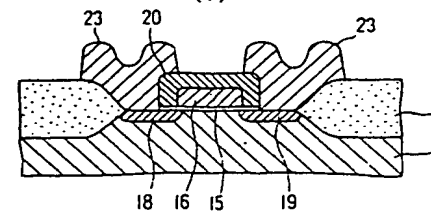
(d)



(e)



(f)



第2図

